

PATENT
2080-3-188
Customer No: 035884

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:
Seung Hyun Yi; Kuk Tae Hong
Serial No:
Filed: Herewith
For: OUTPUT DRIVING CIRCUIT

Art Unit:

Examiner:

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

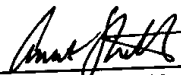
Dear Sir:

Enclosed herewith are certified copies of Korean patent application Nos. 10-2002-67696 and 10-2002-67697 which was both filed on November 4, 2002, respectively, and from which priority is claimed under 35 U.S.C. Section 119 and Rule 55.

Acknowledgment of the priority document(s) is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

Date: October 17, 2003

By: 
Jonathan Y. Kang
Registration No. 38,199
F. Jason Far-Hadian
Registration No. 42,523
Amit Sheth
Registration No. 50,176
Attorney for Applicant(s)

LEE, HONG, DEGERMAN, KANG & SCHMADEKA
801 S. Figueroa Street, 14th Floor
Los Angeles, California 90017
Telephone: (213) 623-2221
Facsimile: (213) 623-2211

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

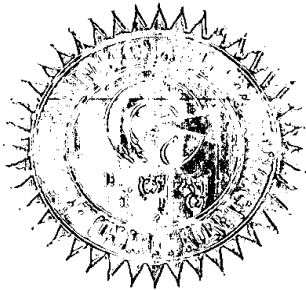
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0067696
Application Number

출원년월일 : 2002년 11월 04일
Date of Application NOV 04, 2002

출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



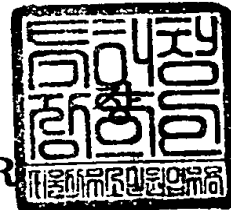
2003 년 08 월 05 일

특

허

청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.04
【국제특허분류】	H03K
【발명의 명칭】	출력 버퍼회로
【발명의 영문명칭】	The output buffer circuit
【출원인】	
【명칭】	엘지전자주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	정종옥
【대리인코드】	9-2001-000008-4
【포괄위임등록번호】	2002-027607-6
【대리인】	
【성명】	조담
【대리인코드】	9-1998-000546-2
【포괄위임등록번호】	2002-027605-1
【발명자】	
【성명의 국문표기】	이승현
【성명의 영문표기】	YI, SEUNG HYUN
【주민등록번호】	730101-1927234
【우편번호】	480-792
【주소】	경기도 의정부시 호원동 호원우성1차아파트 102동 1001호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정종옥 (인) 대리인 조담 (인)

【수수료】

【기본출원료】	16	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	266,000		원	
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

소정 신호의 듀티비를 그대로 유지시키면서 전위레벨을 외부에서 요구하는 전위레벨로 정확히 변환한다.

외부로 출력할 소정의 입력신호를 반전시키고, 그 입력신호와 반전시킨 입력신호의 전위레벨을 각기 집적소자의 외부에서 요구하는 전위레벨로 시프트시키며, 전위레벨을 시프트시킨 두 신호의 상승 에지 또는 하강 에지에서 각기 소정 폭의 펄스신호를 발생한 후 그 소정 폭의 펄스신호로 출력신호를 생성함으로써 입력신호의 상승에지에 따라 출력신호의 상승에지를 발생할 때까지의 지연시간과 입력신호의 하강에지에 따라 출력신호의 하강에지를 발생할 때까지의 지연시간이 동일하고, 이로 인하여 출력신호는 입력신호와 완전히 듀티비가 동일하고, 전위레벨만 전원단자의 전위레벨로 시프트되어 출력된다.

【대표도】

도 2

【색인어】

집적소자, 레벨 시프터, 듀티비

【명세서】

【발명의 명칭】

출력 버퍼회로{The output buffer circuit}

【도면의 간단한 설명】

도 1은 종래의 레벨 시프터의 구성을 보인 상세 회로도이고,

도 2는 본 발명의 출력 버퍼회로의 구성을 보인 도면이고,

도 3a 내지 도 3f는 도 2의 각 부의 동작 파형도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

200 : 제 1 레벨 시프터

210 : 제 2 레벨 시프터

220 : 제 1 펄스신호 발생부

230 : 제 2 펄스신호 발생부

240 : 출력신호 생성부

INV21~INV30 : 인버터

TG21, TG22 : 전송 게이트

NAND21, NAND22 : 낸드 게이트

PM21 : 피모스 트랜지스터

NM21 : 엔모스 트랜지스터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 VLSI(Very Large Scale Integration) 등을 비롯한 각종 집적소자의 내부에서 집적소자의 외부로 소정의 신호를 출력할 경우에 그 출력할 신호의 전위레벨을 외부에서 요구하는 전위레벨로 변환하는 출력 버퍼회로에 관한 것으로 특히 외부로 출력할 신호의 듀티비

(duty ratio)를 그대로 유지하면서 전위레벨만 외부에서 요구하는 전위레벨을 가지도록 변환하는 출력 버퍼회로에 관한 것이다.

<11> 일반적으로 소정의 집적소자들은 내부에서 처리한 소정의 신호들을 외부로 출력하기 위한 출력 구동회로를 내장하고 있고, 그 출력 구동회로 내에는, 집적소자의 내부에서 사용하는 신호의 전위 레벨과 외부에서 요구하는 신호의 전위 레벨이 상이할 경우에 내부 신호의 전위레벨을 외부에서 요구하는 전위레벨로 변환하기 위한 레벨 시프터를 구비하고 있다.

<12> 그러나 상기 레벨 시프터의 회로 특성은 입력신호의 전위레벨을 집적소자의 외부에서 요구하는 전위레벨로 시프트하면서 듀티비가 함께 변화되고, 이로 인하여 고속으로 동작하는 집적소자에는 사용할 수 없었다.

<13> 이러한 종래의 기술을 도 1의 도면을 참조하여 상세히 설명한다.

<14> 도 1은 종래의 레벨 시프터의 구성을 보인 상세 회로도이다. 이에 도시된 바와 같이 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM11) 및 엔모스 트랜지스터(NM11)와, 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)가 각기 직렬 접속되어 피모스 트랜지스터(PM11)의 게이트가 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)의 접속점에 접속되고, 피모스 트랜지스터(PM12)의 게이트가 피모스 트랜지스터(PM11) 및 엔모스 트랜지스터(NM11)의 접속점에 접속되어 미러(Mirror) 타입의 센스 증폭기(100)가 구성된다. 그리고 입력신호(SIN)가 상기 센스 증폭기(100)의 엔모스 트랜지스터(NM11)의 게이트에 접속됨과 아울러 인버터(INV11)를 통해 센스 증폭기(100)의 엔모스 트랜지스터(NM12)의 게이트에 접속되어 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)의 접속점에서 전위레벨이 상승된 신호가 출력되게 구성된다.

- <15> 도 1의 도면 설명중 미설명 부호 Vdd는 집적소자의 외부에서 요구하는 전위 레벨의 전원이 인가되는 전원단자이다.
- <16> 이와 같이 구성된 종래의 레벨 시프터는 전원단자(Vdd)에 전원이 인가된 상태에서 입력 신호(SIN)가 센스 증폭기(100)의 엔모스 트랜지스터(NM11)의 게이트에 인가됨과 아울러 인버터(INV11)를 반전되어 엔모스 트랜지스터(NM12)의 게이트에 인가된다.
- <17> 그러면, 엔모스 트랜지스터(NM11)(NM12)는 상기 입력신호(SIN)의 전위레벨에 따라 선택적으로 도통상태로 되고, 엔모스 트랜지스터(NM11)(NM12)가 선택적으로 도통상태로 됨에 따라 피모스 트랜지스터(PM12)(PM11)가 선택적으로 도통 상태로 되어 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)의 접속점에서는 전원단자(Vdd)의 전위레벨 즉, 집적소자의 외부에서 요구하는 전위레벨을 가지는 소정의 출력신호가 발생된다.
- <18> 예를 들면, 입력신호(SIN)가 고전위일 경우에 엔모스 트랜지스터(NM11)가 도통상태로 되어 피모스 트랜지스터(PM12)가 도통 상태로 되고, 엔모스 트랜지스터(NM12)가 차단상태로 되어 피모스 트랜지스터(PM11)가 차단상태로 되므로 전원단자(Vdd)의 전위가 피모스 트랜지스터(PM12)를 통해 출력된다. 그리고 입력신호(SIN)가 저전위일 경우에는 상기와는 반대로 엔모스 트랜지스터(NM11)가 차단상태로 되어 피모스 트랜지스터(PM12)가 차단상태로 되고, 엔모스 트랜지스터(NM12)가 도통상태로 되어 피모스 트랜지스터(PM11)가 도통상태로 되므로 접지전위인 저전위가 엔모스 트랜지스터(NM12)를 통해 출력된다.
- <19> 이러한 종래의 레벨 시프터는 상기한 바와 같이 입력신호(SIN)가 엔모스 트랜지스터(NM11)의 게이트에 직접 인가됨과 아울러 인버터(INV11)를 통해 반전 및 지연된 후 엔모스 트랜지스터(NM12)의 게이트에 인가되므로 엔모스 트랜지스터(NM11)(NM12)의 게이트에 인가되는 두 신호의 지연 시간은 서로 상이하다. 또한 입력신호(SIN)가 고전위일 경우에는 전원단자

(Vdd)의 전위가 그 피모스 트랜지스터(PM12)를 통해 출력되고, 입력신호(SIN)가 저전위일 경우에는 접지 전위가 엔모스 트랜지스터(NM12)를 통해 출력되는 것으로 센스 증폭기(100)에서 생성하는 고전위 및 저전위의 생성 경로(path)가 피모스 트랜지스터(PM12) 및 엔모스 트랜지스터(NM12)로 서로 상이하고, 그 피모스 트랜지스터(PM12)와 엔모스 트랜지스터(NM12)의 동작 지연시간도 서로 상이하다.

<20> 이와 같이 상기한 종래의 레벨 시프터는 센스 증폭기(100)의 두 입력단자에 인가되는 두 신호의 지연시간이 서로 상이하고, 또한 센스 증폭기(100)가 입력되는 두 신호에 따라 고전위 및 저전위를 출력할 때까지 소요되는 지연시간이 서로 상이하므로 소정 신호의 레벨을 시프트하여 외부로 출력할 경우에 그 신호의 듀티비가 가변되어 출력되고, 그 듀티비의 변화로 인하여 고속으로 동작하는 집적소자에는 사용할 수 없었다.

<21> 즉, 집적소자에서 처리하는 펄스신호의 듀티비가 50 : 50이고, 주기가 5ns라고 가정할 경우에 그 펄스신호의 고전위 기간(High time) 및 저전위 기간(Low time)은 각기 2.5ns이다. 이러한 펄스신호를 출력 구동회로의 레벨 시프터를 통해 전위레벨을 시프트하여 외부로 출력할 경우에 그 레벨 시프터의 지연시간 차이로 인하여 고전위 기간이 1ns 정도 가변되어도 펄스신호의 고전위 기간 및 저전위 기간은 각기 1.5ns와 3.5ns로 변환되어 사용할 수 없는 신호로 되는 것으로서 고속으로 동작하는 집적회로에는 상기한 레벨 시프터를 사용할 수 없었다.

【발명이 이루고자 하는 기술적 과제】

<22> 그러므로 본 발명의 목적은 소정 신호의 듀티비를 그대로 유지시키면서 전위레벨을 외부에서 요구하는 전위레벨로 정확히 변환하는 출력 버퍼회로를 제공하는데 있다.

- <23> 이러한 목적을 가지는 본 발명의 출력 버퍼회로는, 외부로 출력할 소정의 입력신호를 반전시키고, 그 입력신호와 반전시킨 입력신호의 전위레벨을 각기 집적소자의 외부에서 요구하는 전위레벨로 시프트시키며, 전위레벨을 시프트시킨 두 신호의 상승 에지(rising edge) 또는 하강 에지(falling edge)에서 각기 소정 폭의 펄스신호를 발생한 후 그 소정 폭의 펄스신호로 출력신호를 생성함으로써 입력신호의 상승에지에 따라 출력신호의 상승에지를 발생할 때까지의 지연시간과 입력신호의 하강에지에 따라 출력신호의 하강에지를 발생할 때까지의 지연시간이 동일하고, 이로 인하여 출력신호는 입력신호와 완전히 듀티비가 동일하고, 전위레벨만 전원단자의 전위레벨로 시프트되어 출력된다.
- <24> 이를 위하여 본 발명의 출력 버퍼회로는, 입력신호를 반전 및 지연시키는 인버터와, 입력신호를 상기 인버터와 동일한 시간을 지연 및 통과시키는 전송 게이트와, 상기 인버터 및 전송 게이트의 출력신호의 전위레벨을 각기 전원단자의 전위레벨로 상승시키는 제 1 및 제 2 레벨 시프터와, 상기 제 1 및 제 2 레벨 시프터의 출력신호에 따라 각기 펄스신호를 발생하는 제 1 및 제 2 펄스신호 발생부와, 상기 제 1 및 제 2 펄스신호 발생부의 출력신호를 상호간에 동일한 시간씩 지연시키면서 그 제 1 및 제 2 펄스신호 발생부가 발생한 펄스신호에 따라 고전위 및 저전위가 변화되는 출력신호를 생성하는 출력신호 생성부를 구비하는 것을 특징으로 한다.
- <25> 상기 제 1 및 제 2 펄스신호 발생부 각각은, 상기 제 1 및 제 2 레벨 시프터의 출력신호를 상승 에지 또는 하강 에지에서 펄스신호를 발생하는 것으로서 상기 제 1 및 제 2 레벨 시프터의 출력신호를 지연 및 반전시키는 복수의 인버터와, 상기 제 1 및 제 2 레벨 시프터의 출력신호와 상기 복수의 인버터의 출력신호를 반전 논리 곱하는 낸드 게이트로 구성됨을 특징으로 한다.

<26> 그리고 상기 출력신호 생성부는, 전원단자와 접지의 사이에 피모스 트랜지스터 및 엔모스 트랜지스터가 직렬 접속되어 피모스 트랜지스터의 게이트에는 상기 제 1 펄스신호 발생부의 출력단자가 인버터를 통해 접속되고, 엔모스 트랜지스터의 게이트에는 상기 제 2 펄스신호 발생부의 출력단자가 전송 게이트를 통해 접속되며, 피모스 트랜지스터 및 엔모스 트랜지스터의 접속점에는 래치가 접속되는 것을 특징으로 한다.

【발명의 구성 및 작용】

<27> 이하, 첨부된 도 2 및 도 3의 도면을 참조하여 본 발명의 출력 버퍼회로를 상세히 설명한다.

<28> 도 2는 본 발명의 출력 버퍼회로의 구성을 보인 도면이다. 이에 도시된 바와 같이 입력 신호(SIN)를 반전 및 지연시키는 인버터(INV21)와, 입력신호(SIN)를 상기 인버터(INV21)와 동일한 시간동안 지연 및 통과시키는 전송 게이트(TG21)와, 상기 인버터(INV21) 및 전송 게이트(TG21)의 출력신호의 전위레벨을 전원단자(Vdd)의 전위레벨로 상승시키는 제 1 및 제 2 레벨 시프터(200)(210)와, 상기 제 1 및 제 2 레벨 시프터(200)(210)의 출력신호의 상승 에지에서 각기 펄스신호를 발생하는 제 1 및 제 2 펄스신호 발생부(220)(230)와, 상기 제 1 및 제 2 펄스신호 발생부(220)(230)의 출력신호를 상호간에 동일한 시간씩 지연시키면서 그 제 1 및 제 2 펄스신호 발생부(220)(230)가 발생한 펄스신호에 따라 고전위 및 저전위가 변화되는 출력신호를 생성하는 출력신호 생성부(240)로 구성된다.

<29> 상기 제 1 및 제 2 펄스신호 발생부(220)(230)는, 상기 제 1 및 제 2 레벨 시프터(200)(210)의 출력신호를 순차적으로 반전 및 지연시키는 복수의 인버터(INV22~INV24)(INV25~INV27)와, 상기 제 1 및 제 2 레벨 시프터(200)(210)의 출력신호 및 상기 복수의 지연용 인

버터(INV22~INV24)(INV25~INV27)의 출력신호를 각기 반전 논리곱하는 낸드 게이트(NAND21)(NAND22)로 구성된다.

<30> 상기 출력신호 생성부(240)는, 전원단자(Vdd)와 접지의 사이에 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM21)가 직렬 접속되어 피모스 트랜지스터(PM21)의 게이트에 상기 제 1 펄스신호 발생부(220)의 출력단자가 인버터(INV28)를 통해 접속되고, 엔모스 트랜지스터(NM21)의 게이트에는 상기 제 2 펄스신호 발생부(230)의 출력단자가 전송 게이트(TG22)를 통해 접속되며, 피모스 트랜지스터(PM21) 및 엔모스 트랜지스터(NM21)의 접속점에는 인버터(INV29, INV30)로 이루어진 래치(241)가 접속된다.

<31> 이와 같이 구성된 본 발명의 출력 버퍼회로는 전원단자(Vdd)에 전원이 인가된 상태에서 도 3a에 도시된 바와 같은 입력신호(SIN)가 입력될 경우에 그 입력신호(SIN)가 인버터(INV21)를 통해 도 3b에 도시된 바와 같이 반전 및 소정 시간(t_1)지연되어 제 1 레벨 시프터(200)에 입력됨과 아울러 전송 게이트(TG21)를 통해 도 3c에 도시된 바와 같이 상기 인버터(INV21)의 지연시간(t_1)만큼 지연되어 제 2 레벨 시프터(210)에 입력된다.

<32> 그러면, 제 1 및 제 2 레벨 시프터(200)(210)는 상기 입력되는 소정의 신호를 도 3d 및 도 3e에 도시된 바와 같이 전위레벨을 전원단자(Vdd)의 전위레벨로 시프트시켜 출력한다. 이때, 제 1 및 제 2 레벨 시프터(200)(210)는 상술한 종래의 기술에서와 같이 입력신호의 전위레벨을 시프트시키면서 소정 시간(t_2)의 지연이 발생된다.

<33> 이와 같이 제 1 및 제 2 레벨 시프터(200)(210)에서 레벨이 시프트된 신호는 제 1 및 제 2 펄스신호 발생부(220)(230)의 낸드 게이트(NAND21)(NAND22)의 일측 입력단자에 각기 인가됨과 아울러 복수의 인버터(INV22~INV24)(INV25~INV27)를 각기 통해 도 3f 및 도 3g에 도시된 바와 같이 소정 시간(t_3) 지연되어 낸드 게이트(NAND21)(NAND22)의 타측 입력단자에 인가되

1020020067696

로 낸드 게이트(NAND21)(NAND22)는 제 1 및 제 2 펄스신호 발생부(220)(230)로 입력되는 신호의 상승 에지에서 도 3h 및 도 3i에 도시된 바와 같이 복수의 인버터(INV22~INV24)(INV25~INV27)의 지연시간(t_3)의 폭을 가지는 펄스신호를 발생하게 된다.

<34> 이와 같이 제 1 펄스신호 발생부(220)에서 발생하는 펄스신호는 출력신호 생성부(240)의 인버터(INV28)를 통해 소정 시간(t_4) 지연된 후 피모스 트랜지스터(PM21)의 게이트에 인가되어 피모스 트랜지스터(PM21)를 도통시키고, 전원단자(Vdd)의 전위가 피모스 트랜지스터(PM21)를 통해 출력되며, 제 2 펄스신호 발생부(230)에서 발생하는 펄스신호는 전송 게이트(TG22)를 통해 상기 인버터(INV28)와 동일한 시간(t_4)동안 지연된 후 엔모스 트랜지스터(NM21)의 게이트에 인가되어 엔모스 트랜지스터(NM21)를 도통시키고, 접지전위가 엔모스 트랜지스터(NM21)를 통해 출력되며, 그 피모스 트랜지스터(PM21)가 출력하는 전원단자(Vdd)의 전위와 엔모스 트랜지스터(NM21)가 출력하는 접지전위는 래치(241)에 도 3k에 도시된 바와 같이 저장 및 출력된다.

<35> 이러한 본 발명은 외부로 출력할 소정의 입력신호를 반전시키고, 그 입력신호와 반전시킨 입력신호의 전위레벨을 각기 집적소자의 외부에서 요구하는 전위레벨로 시프트시키며, 전위레벨을 시프트시킨 두 신호의 상승 에지 또는 하강 에지에서 각기 소정 폭의 펄스신호를 발생한 후 그 소정 폭의 펄스신호로 출력신호를 생성함으로써 입력신호의 상승에지에 따라 출력신호의 상승에지를 발생할 때까지의 지연시간과 입력신호의 하강에지에 따라 출력신호의 하강에지를 발생할 때까지의 지연시간이 동일하고, 이로 인하여 출력신호는 입력신호와 완전히 듀티비가 동일하고, 전위레벨만 전원단자(Vdd)의 전위레벨로 시프트되어 출력된다.

<36> 한편, 상기에서는 본 발명을 특정의 바람직한 실시 예에 관련하여 도시하고 설명하였지만, 이하의 특허청구범위에 의해 마련되는 본 발명의 정신이나 분야를

이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다. 즉, 상기에서는 제 1 및 제 2 펄스신호 발생부 (220)(230)가 각기 입력신호의 상승 에지에서 펄스신호를 발생하는 것을 예로 들어 설명한 것으로서 본 발명을 실시함에 있어서는 이에 한정되지 않고 제 1 및 제 2 펄스신호 발생부 (220)(230)가 모두 입력신호의 하강 에지에서 펄스신호를 발생하게 구성할 수도 있는 등 여러 가지로 변형 실시할 수 있다.

【발명의 효과】

<37> 이상에서 설명한 바와 같이 본 발명은 출력신호가 입력신호와 동일한 듀티비를 가지게 되고, 전위레벨만 외부에서 요구하는 전위레벨로 시프트되는 것으로서 고속으로 동작하는 집적 소자에 간단히 적용하여 사용할 수 있다.

【특허청구범위】**【청구항 1】**

입력신호를 반전 및 지연시키는 인버터;

입력신호를 상기 인버터와 동일한 시간을 지연 및 통과시키는 전송 게이트;

상기 인버터 및 전송 게이트의 출력신호의 전위레벨을 각기 전원단자의 전위레벨로 상승시키는 제 1 및 제 2 레벨 시프터;

상기 제 1 및 제 2 레벨 시프터의 출력신호에 따라 각기 펄스신호를 발생하는 제 1 및 제 2 펄스신호 발생부; 및

상기 제 1 및 제 2 펄스신호 발생부의 출력신호를 상호간에 동일한 시간씩 지연시키면서 그 제 1 및 제 2 펄스신호 발생부가 발생한 펄스신호에 따라 고전위 및 저전위가 변화되는 출력신호를 생성하는 출력신호 생성부로 구성된 출력 버퍼회로.

【청구항 2】

제 1 항에 있어서, 상기 제 1 및 제 2 펄스신호 발생부 각각은;

상기 제 1 및 제 2 레벨 시프터의 출력신호를 상승 에지 또는 하강 에지에서 펄스신호를 발생하는 것을 특징으로 하는 출력 버퍼회로.

【청구항 3】

제 1 항에 있어서, 상기 제 1 및 제 2 펄스신호 발생부 각각은;

상기 제 1 및 제 2 레벨 시프터의 출력신호를 지연 및 반전시키는 복수의 인버터; 및

상기 제 1 및 제 2 레벨 시프터의 출력신호와 상기 복수의 인버터의 출력신호를 반전 논리 곱하는 낸드 게이트로 구성됨을 특징으로 하는 출력 버퍼회로.

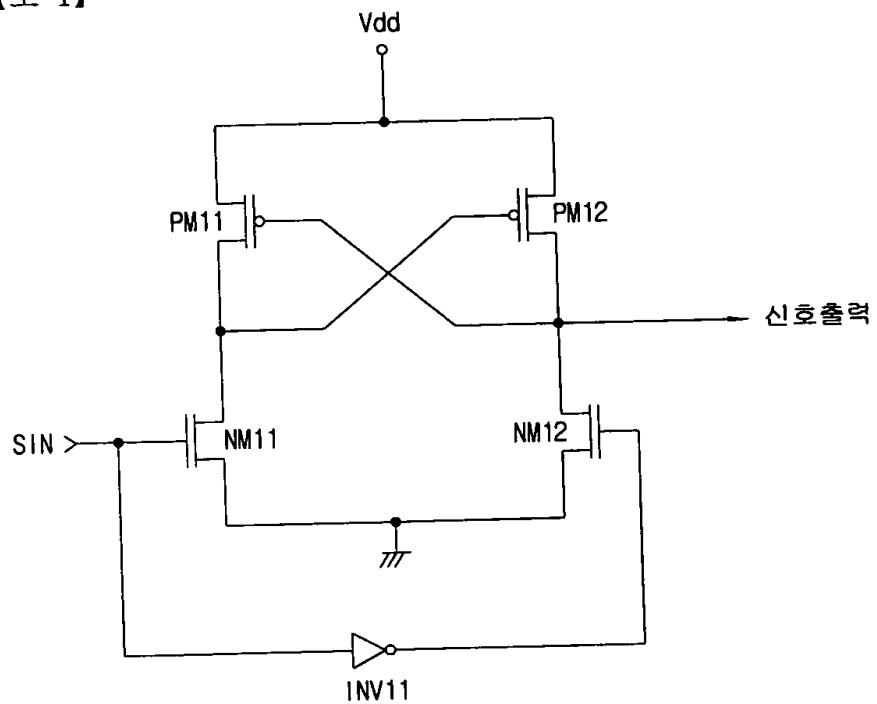
【청구항 4】

제 1 항에 있어서, 상기 출력신호 생성부는;

전원단자와 접지의 사이에 피모스 트랜지스터 및 엔모스 트랜지스터가 직렬 접속되어 피모스 트랜지스터의 게이트에는 상기 제 1 펄스신호 발생부의 출력단자가 인버터를 통해 접속되고, 엔모스 트랜지스터의 게이트에는 상기 제 2 펄스신호 발생부의 출력단자가 전송 게이트를 통해 접속되며, 피모스 트랜지스터 및 엔모스 트랜지스터의 접속점에는 래치가 접속되는 것을 특징으로 하는 출력 버퍼회로.

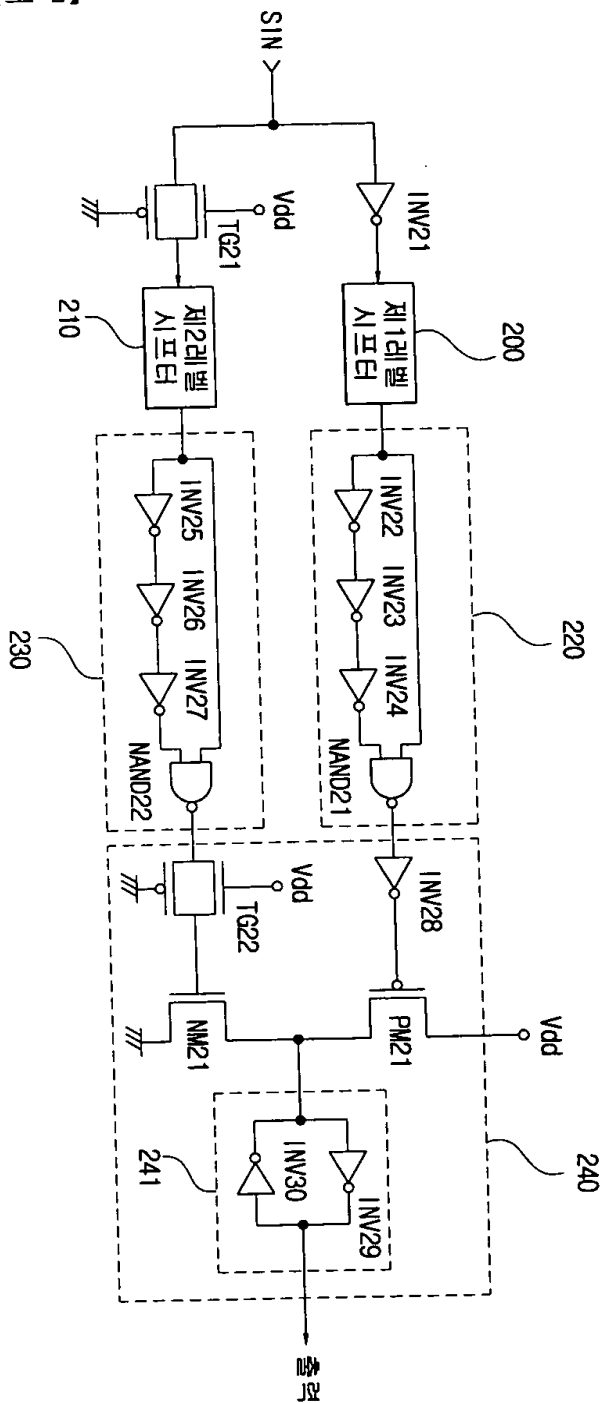
【도면】

【도 1】



1020020067696

【도 2】



【도 3】

